

**ELECTROLUMINESCENCE DISPLAY DEVICE**

**Patent number:** JP2004126106 (A)  
**Publication date:** 2004-04-22  
**Inventor(s):** YONEDA KIYOSHI  
**Applicant(s):** SANYO ELECTRIC CO

**Classification:**





- international: *H01L51/50; G09F9/30; G09G3/30; H01L27/32; H01L29/786; H05B33/00; H05B33/12; H05B33/14; H01L51/50; G09F9/30; G09G3/30; H01L27/28; H01L29/66; H05B33/00; H05B33/12; H05B33/14; (IPC1-7): G09F9/30; H01L29/786; H05B33/14*

- european: H01L27/32M2

**Application number:** JP20020288501 20021001

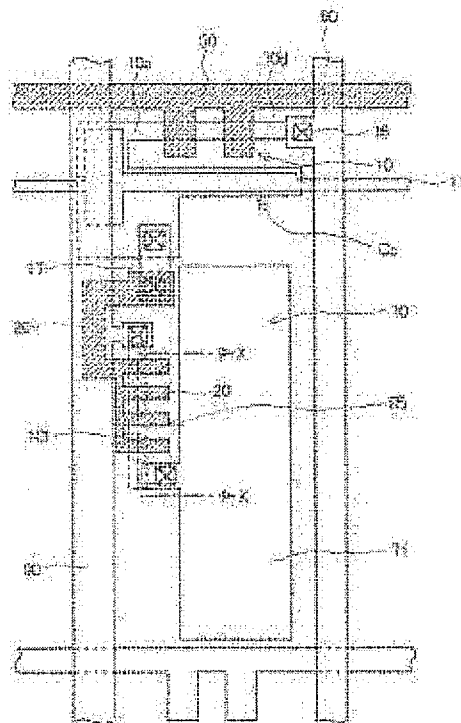
**Priority number(s):** JP20020288501 20021001

**Also published as:**

 US2004130262 (A1)  
 TW291308 (B)  
 KR20040030320 (A)  
 CN1498040 (A)

**Abstract of JP 2004126106 (A)**

**PROBLEM TO BE SOLVED:** To suppress a photocurrent of a driving transistor and fluctuation of threshold voltage, and to improve displaying quality of an EL display panel. ; **SOLUTION:** A driving TFT 85 of an organic EL element 70 has a multigate structure. Namely, an active layer 101 formed of a polysilicon layer is arranged on an insulating substrate 100, and a plurality of gates 20 are arranged on the active layer 101 in a comb teeth shape through a gate insulating layer 102. In an equivalent circuit, a plurality of transistors common in the gate are connected in series, and a source 10s of a pixel selection transistor 10 is connected to the common gate. ; **COPYRIGHT:** (C)2004,JPO



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-126106

(P2004-126106A)

(43) 公開日 平成16年4月22日(2004.4.22)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
G09F 9/30	G09F 9/30 338	3K007
H01L 29/786	G09F 9/30 365Z	5C094
H05B 33/14	H05B 33/14 A	5F110
	H01L 29/78 617N	

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号	特願2002-288501 (P2002-288501)	(71) 出願人	000001889 三洋電機株式会社
(22) 出願日	平成14年10月1日 (2002.10.1)		大阪府守口市京阪本通2丁目5番5号
		(74) 代理人	100107906 弁理士 須藤 克彦
		(74) 代理人	100091605 弁理士 岡田 敬
		(72) 発明者	米田 清 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
		Fターム (参考)	3K007 AB17 DB03 GA00 5C094 AA03 AA16 AA53 BA03 BA27 CA19 DA09 DB01 FB01 FB14 FB16
			最終頁に続く

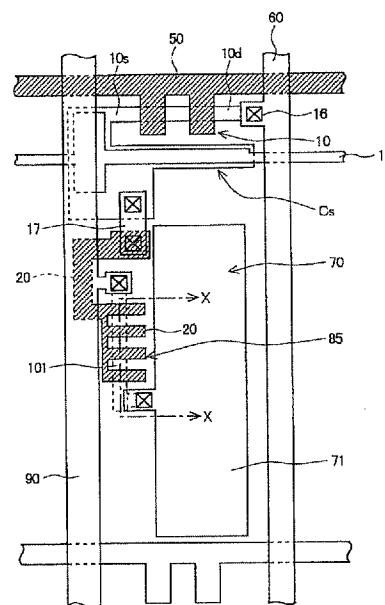
(54) 【発明の名称】 エレクトロルミネッセンス表示装置

## (57) 【要約】

【課題】 駆動トランジスタのホットカレント、しきい値電圧のばらつきを抑制し、EL表示パネルの表示品位を向上させる。

【解決手段】 有機EL素子70の駆動用TFT85は、マルチゲート構造である。すなわち、絶縁性基板100上にポリシリコン層から成る能動層101が配置され、この能動層101上にゲート絶縁層102を介して、複数のゲート20がくし歯状に配置されている。等価回路でみると、ゲートが共通の複数のトランジスタが直列接続され、この共通ゲートに画素選択用トランジスタ10のソース10sが接続されている。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

複数の画素を備え、各画素は、エレクトロルミネッセンス素子と、ゲート信号に応じて各画素を選択するための画素選択用薄膜トランジスタと、前記画素選択用薄膜トランジスタを通して供給される表示信号に応じて前記エレクトロルミネッセンス素子に電流を供給する駆動用薄膜トランジスタとを有し、前記駆動用薄膜トランジスタがマルチゲートで構成されていることを特徴とするエレクトロルミネッセンス表示装置。

## 【請求項 2】

前記画素選択用薄膜トランジスタがシングルゲートで構成されていることを特徴とする請求項 1 記載のエレクトロルミネッセンス表示装置。

10

## 【請求項 3】

前記画素選択用薄膜トランジスタのゲート数が前記駆動用薄膜トランジスタのゲート数より少ないことを特徴とする請求項 1 記載のエレクトロルミネッセンス表示装置。

## 【請求項 4】

前記駆動用薄膜トランジスタを複数備え、これらの駆動用薄膜トランジスタは前記エレクトロルミネッセンス素子に並列に接続されていることを特徴とする請求項 1 記載のエレクトロルミネッセンス表示装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

20

本発明はエレクトロルミネッセンス表示装置に関し、特に各画素毎に、画素選択用薄膜トランジスタと、エレクトロルミネッセンス素子を電流駆動するための駆動用薄膜トランジスタと、を有するエレクトロルミネッセンス表示装置に関する。

## 【0002】

## 【従来の技術】

近年、エレクトロルミネッセンス (Electro Luminescence: 以下、「EL」と略称する) 素子を用いた EL 表示装置は、CRT や LCD に代わる表示装置として注目されている。特に、EL 素子を駆動させるスイッチング素子として薄膜トランジスタ (Thin Film Transistor: 以下、「TFT」と略称する) を備えた EL 表示装置が開発されている。

30

## 【0003】

図 6 に、有機 EL 表示パネル内の一画素の等価回路図を示す。実際の有機 EL 表示パネルでは、この画素が  $n$  行  $m$  列のマトリクスに配置されている。

## 【0004】

ゲート信号  $G_n$  を供給するゲート信号線 50 と、表示信号  $D_m$  を供給するドレイン信号線 60 とが互いに交差している。

## 【0005】

それらの両信号線の交差点付近には、有機 EL 素子 70 及びこの有機 EL 素子 70 を駆動する駆動用 TFT 80、画素を選択するための画素選択用 TFT 10 が配置されている。

## 【0006】

40

駆動用 TFT 80 のソースには、電源ライン 90 から正電源電圧  $PV_{dd}$  が供給されている。また、そのドレインは有機 EL 素子 70 のアノード 71 に接続されている。

## 【0007】

画素選択用 TFT 10 のゲートにはゲート信号線 50 が接続されることによりゲート信号  $G_n$  が供給され、ドレイン 10d にはドレイン信号線 60 が接続され、表示信号  $D_m$  が供給される。画素選択用 TFT 10 のソース 10s は駆動用 TFT 80 のゲートに接続されている。ここで、ゲート信号  $G_n$  は不図示の垂直ドライバ回路から出力される。表示信号  $D_m$  は不図示の水平ドライバ回路から出力される。

## 【0008】

また、有機 EL 素子 70 は、アノード 71、カソード 72、このアノード 71 とカソード

50

72の間に形成された発光素子層（不図示）から成る。カソード72には、負電源電圧C  
Vが供給されている。

#### 【0009】

また、駆動用TFT80のゲートには保持容量Csが接続されている。保持容量Csは表  
示信号Dmに応じた電荷を保持することにより、1フィールド期間、表示画素の表示信号  
を保持するために設けられている。

#### 【0010】

上述した構成のEL表示装置の動作を説明する。ゲート信号Gnが一水平期間ハイレベル  
になると、画素選択用TFT10がオンする。すると、ドレイン信号線60から表示信号  
Dmが画素選択用TFT10を通して、駆動用TFT80のゲートに印加される。

10

#### 【0011】

そして、そのゲートに供給された表示信号Dmに応じて、駆動用TFT80のコンダク  
タンスが変化し、それに応じた駆動電流が駆動用TFT80を通して有機EL素子70に供  
給され、有機EL素子70が点灯する。そのゲートに供給された表示信号Dmに応じて、  
駆動用TFT80がオフ状態の場合には、駆動用TFT80には電流が流れないため、有  
機EL素子70も消灯する。なお、関連する先行技術文献には、例えば以下の特許文献1  
がある。

#### 【0012】

##### 【特許文献1】

特開2002-175029号公報

20

#### 【0013】

##### 【発明が解決しようとする課題】

しかしながら、駆動用TFT80がオフ状態のときに、外部からの光が駆動用TFT80  
に入射されると、いわゆるホトカレント（光電流）が流れ、このホトカレントがリーク電  
流となって有機EL素子70に供給されるため、有機EL素子70がわずかに発光してし  
まうという問題があった。

#### 【0014】

また、駆動用TFT80をPチャネル型で構成すると、トランジスタのチャネル領域を構  
成しているポリシリコン層の結晶状態の不安定性により、しきい値にばらつきが生じやす  
い。すると、有機EL素子70に流れる電流が画素毎に変化してしまい、表示パネルの色  
むらが生じるという問題があった。

30

#### 【0015】

##### 【課題を解決するための手段】

本発明は、上述した課題に鑑みてなされたものであり、駆動用薄膜トランジスタをマルチ  
ゲート（複数ゲート構造）で構成した。つまり、各ゲート下のチャネル領域が分断され、  
等価回路でみると、ゲートが共通の複数のトランジスタが直列された構造となる。

#### 【0016】

これにより、その複数の直列トランジスタ中、一つのトランジスタのチャネル領域に光が  
入射され、局所的にホトカレントが生じたとしても、他のトランジスタにホトカレントが  
同時に発生しなければ、駆動用薄膜トランジスタとしては、ホトカレントが流れることは  
ない。

40

#### 【0017】

したがって、駆動用薄膜トランジスタがオフ状態のときに、ホトカレントが発生し、この  
ホトカレントがリーク電流となってエレクトロルミネッセンス素子に供給され、このエレ  
クトロルミネッセンス素子が発光してしまうという不具合が防止される。

#### 【0018】

また、駆動用薄膜トランジスタをマルチゲート（複数ゲート構造）で構成したことで、ト  
ランジスタのしきい値を決定するチャネル領域が、複数のゲート下にそれぞれ分断される  
。そして、それぞれのチャネル領域を構成するポリシリコンの結晶状態がランダムにばら  
つくことで、各トランジスタのしきい値のばらつきもランダムとなる。マルチゲートの駆

50

動用薄膜トランジスタのしきい値は、それらの各しきい値が平均化されたものであるから、そのばらつきはシングルゲートのものに比べて小さくなる。

#### 【0019】

##### 【発明の実施の形態】

次に、本発明の実施形態について図面を参照しながら詳細に説明する。まず、第1の実施形態について図1、図2、図3を参照しながら説明する。図1は有機EL表示パネル内の一画素の等価回路図である。図2はこの一画素の平面パターン図である。また、図3は図2におけるX-X線に沿った断面図である。実際の有機EL表示パネルでは、この画素がn行m列のマトリクスに配置されている。

#### 【0020】

有機EL素子70の駆動用TFT85は、マルチゲート構造である。すなわちガラス基板等の透明な絶縁性基板100上にポリシリコン層から成る能動層101が配置され、この能動層101上にゲート絶縁層102を介して、マルチゲート20がくし歯状に配置されている。マルチゲート20上には、層間絶縁層103が形成されている（図2、図3参照）。等価回路でみると、ゲートが共通の複数のトランジスタが直列接続され、この共通ゲートに画素選択用TFT10のソース10sが接続されている（図1参照）。

#### 【0021】

以下、この画素構造について詳しく説明する。ゲート信号G<sub>n</sub>を供給するゲート信号線50が行方向に延在し、表示信号D<sub>m</sub>を供給するドレイン信号線60が行方向に延在し、これらの信号線が互いに立体的に交差している。ゲート信号線50は、クロム層若しくはモリブデン層等から成り、ドレイン信号線60はその上層のアルミニウム層等から成る。

#### 【0022】

画素選択用TFT10において、ポリシリコン層から成る能動層15上にゲート絶縁層（不図示）が形成され、そのゲート絶縁層上に、ゲート信号線50から延びた2つのゲートがオーバーラップして、ダブルゲート構造を形成している。また、この画素選択用TFT10ソース10dは、ドレイン信号線60とコンタクト16を介して接続されている。画素選択用TFT10のドレイン10sを構成しているポリシリコン層は、保持容量領域に延在され、その上層の保持容量線11と容量絶縁膜を介してオーバーラップしており、このオーバーラップ部分で保持容量C<sub>s</sub>が形成されている。

#### 【0023】

そして、画素選択用TFT10のドレイン10sから延びたポリシリコン層は、駆動用TFT85のマルチゲート20にアルミニウム配線17を介して接続されている。マルチゲート20は、クロム層若しくはモリブデン層等から形成されている。このマルチゲート20は、くし歯状の形状を呈しており、駆動用TFT85の能動層101上にゲート絶縁層101を介してオーバーラップしている。

#### 【0024】

駆動用TFT85のソースはコンタクトを介して、正電源電圧P<sub>V</sub>ddが供給90に接続されている。また、駆動用TFT85のドレインはコンタクトを介して有機EL素子70のアノード71に接続されている。

#### 【0025】

上記構成によれば、有機EL素子70の駆動用TFT85をマルチゲート構造しているので、その4つの直列トランジスタ中、一つのトランジスタのチャネル領域に光が入射され、局所的にホットカレントが生じたとしても、他のトランジスタにホットカレントが同時に発生しなければ、駆動用TFT85としては、ホットカレントが流れることはない。これにより、駆動用TFT85がオフ状態のときにホットカレントが発生し、このホットカレントがリーク電流となって有機EL素子70に供給され、この有機EL素子70が発光してしまうという不具合が防止される。

#### 【0026】

また、駆動用TFT85をマルチゲートで構成したことで、TFTのしきい値を決定するチャネル領域が、4つのゲート下にそれぞれ分断される。そして、それぞれのチャネル領

10

20

30

40

50

域を構成するポリシリコンの結晶状態がランダムにばらつくことで、各トランジスタのしきい値のばらつきもランダムとなる。駆動用TFT85のしきい値は、それらの各しきい値が平均化されたものであるから、そのばらつきはシングルゲートのものに比べて小さくなる。

#### 【0027】

これにより、有機EL素子70に流れる電流が画素毎に変化してしまい、表示パネルの色むらが生じるという問題が解消できる。なお、駆動用TFT85は、4つの直列トランジスタから構成しているが、その直列トランジスタの数は、適宜増減することができる。

#### 【0028】

次に、第2の実施形態について図4、図5を参照しながら説明する。図4は、有機EL表示パネル内の一画素の等価回路図である。図5はこの一画素の平面パターン図である。なお、図5におけるX-X線に沿った断面は図3に示す断面と同じである。 10

#### 【0029】

本実施形態では、駆動用TFT85を並列トランジスタで構成している。すなわち、駆動用TFT85は、ドレイン、ソース及びゲートが共通に接続された2つの並列トランジスタ85A、85Bに分けられ、それぞれの並列トランジスタ85A、85Bにマルチゲート20が入力されている。

#### 【0030】

そして、各並列トランジスタ85A、85Bは、ソースドレイン方向に直列接続された4つの直列トランジスタから構成されている。そして、各並列トランジスタ85A、85Bの共通ソースはコンタクトを介して、正電源電圧V<sub>dd</sub>が供給された電源ライン90に接続されている。また、各並列トランジスタ85A、85Bの共通ドレインはコンタクトを介して有機EL素子70のアノード71に接続されている。 20

#### 【0031】

このように、本実施形態によれば、駆動用TFT85を並列トランジスタ85A、85Bで構成しているので、一方のトランジスタが不良となった場合でも動作上問題が生じないという利点がある。並列トランジスタ85A、85Bはそれぞれ4つの直列トランジスタから構成しているが、その直列トランジスタの数は適宜増減することができる。

#### 【0032】

また、第1の実施形態では、画素選択用TFT10をダブルゲート構造で構成しているが、本実施形態では画素選択トランジスタのようにシングルゲート構造であってもよい。 30

#### 【0033】

##### 【発明の効果】

本発明によれば、各画素毎に、画素選択用薄膜トランジスタと、エレクトロルミネッセンス素子を電流駆動するための駆動用薄膜トランジスタと、を有するエレクトロルミネッセンス表示装置において、駆動用薄膜トランジスタをマルチゲート構造としたので、ホットカレントの発生が抑止され、駆動用薄膜トランジスタがオフ状態のときにエレクトロルミネッセンス素子が発光してしまうという不具合が防止される。また同時に、駆動用薄膜トランジスタのしきい値のばらつきが小さくなるので、表示パネルの色むらを無くすることができる。 40

##### 【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るエレクトロルミネッセンス表示装置の回路図である。

【図2】本発明の第1の実施形態に係るエレクトロルミネッセンス表示装置の平面パターン図である。

【図3】図2におけるX-X線に沿った断面図である。

【図4】本発明の第2の実施形態に係るエレクトロルミネッセンス表示装置の回路図である。

【図5】本発明の第2の実施形態に係るエレクトロルミネッセンス表示装置の平面パターン図である。 50

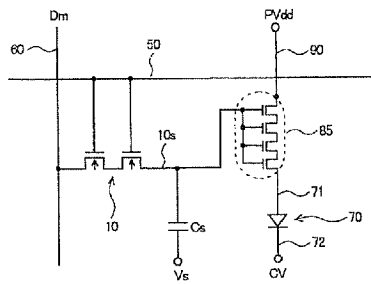
【図 6】従来例に係るエレクトロルミネッセンス表示装置の回路図である。

【符号の説明】

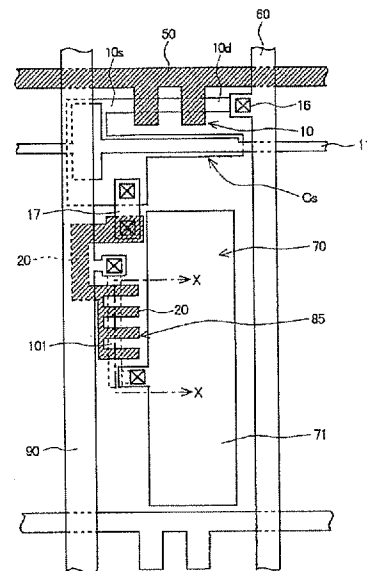
- 10 画素選択用 T F T
- 20 マルチゲート
- 50 ゲート線
- 60 ドレイン線
- 85 駆動用 T F T
- 85 A, 85 B 並列トランジスタ
- 70 有機 E L 素子
- 90 電源ライン
- 100 絶縁性基板
- 101 能動層
- 102 ゲート絶縁層
- 103 層間絶縁層

10

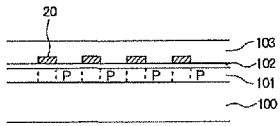
【図 1】



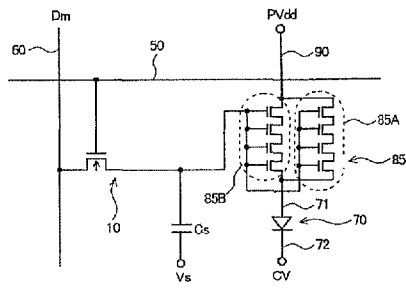
【図 2】



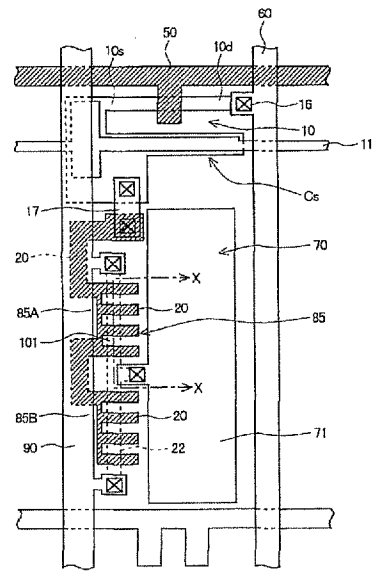
【図 3】



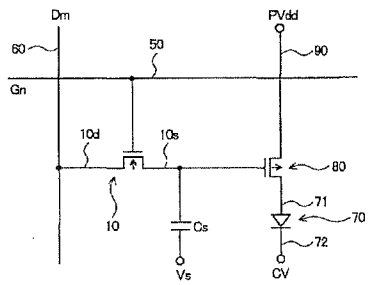
【図 4】



【図 5】



【図 6】





---

フロントページの続き

Fターム(参考) 5F110 AA06 AA08 BB01 CC01 DD02 EE04 EE24 EE28 GG02 GG13  
NN71 NN73